

Docket No.: 70456-018

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Shohei MORIWAKI	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: March 02, 2004	:	Examiner: Unknown
	:	
For: COMMUNICATION MODULE OUTPUTTING A COPY OF A REGISTER OF A RETIMER TO A HOST DEVICE		

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

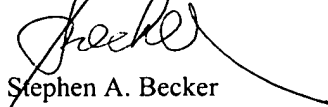
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-090247, filed March 28, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:tlb
Facsimile: (202) 756-8087
Date: March 2, 2004

70456-018
MORI WAKI
March 2, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 8 日
Date of Application:

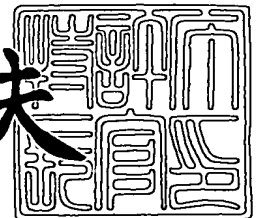
出 願 番 号 特 願 2 0 0 3 - 0 9 0 2 4 7
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 9 0 2 4 7]

出 願 人 三 菱 電 機 株 式 会 社
Applicant(s):

2 0 0 3 年 1 1 月 1 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 3 1 3 7

【書類名】 特許願

【整理番号】 545735JP01

【提出日】 平成15年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 12/28

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社
社内

【氏名】 森脇 昇平

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 通信モジュール

【特許請求の範囲】

【請求項 1】 高速イーサネット（R）において用いられる通信モジュールであって、

物理層を制御するためのリタイマと、

前記通信モジュールの全体的な制御を行なうためのマイクロコンピュータとを含み、

前記マイクロコンピュータは、前記リタイマによって値が更新されるレジスタのコピーを所定のタイミングで格納するための記憶手段と、

ホストデバイスからの要求に応じて、前記記憶手段に格納されたレジスタのコピーを前記ホストデバイスへ出力するための入出力手段とを含む、通信モジュール。

【請求項 2】 前記記憶手段はさらに、10Gbイーサネット（R）通信モジュール・マルチ・ソース・アグリーメントによって定義されるレジスタの内容を格納する、請求項 1 記載の通信モジュール。

【請求項 3】 前記マイクロコンピュータはさらに、前記記憶手段に格納されるレジスタのコピーを所定のタイミングで書込むための不揮発性メモリを含む、請求項 1 または 2 記載の通信モジュール。

【請求項 4】 高速イーサネット（R）において用いられる通信モジュールであって、

物理層を制御するためのリタイマと、

前記通信モジュールの全体的な制御を行なうための第 1 および第 2 のマイクロコンピュータとを含み、

前記第 1 のマイクロコンピュータは、前記リタイマによって値が更新されるレジスタのコピーを所定のタイミングで格納するための第 1 の記憶手段と、

ホストデバイスからの要求に応じて、前記第 1 の記憶手段に格納されたレジスタのコピーを前記ホストデバイスへ出力するための第 1 の入出力手段とを含み、

前記第 2 のマイクロコンピュータは、10Gbイーサネット（R）通信モジュ

ール・マルチ・ソース・アグリーメントによって定義されるレジスタの内容を格納するための第2の記憶手段と、

前記ホストデバイスからの要求に応じて、前記第2の記憶手段に格納された内容を前記ホストデバイスへ出力するための第2の入出力手段とを含む、通信モジュール。

【請求項5】 前記第1のマイクロコンピュータはさらに、前記第1の記憶手段に格納されるレジスタのコピーを所定のタイミングで書込むための第1の不揮発性メモリを含む、請求項4記載の通信モジュール。

【請求項6】 前記第2のマイクロコンピュータはさらに、前記第2の記憶手段に格納される内容を所定のタイミングで書込むための第2の不揮発性メモリを含む、請求項4または5記載の通信モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、LX4などの10Gbイーサネット(R)通信モジュールに関し、特に、IEEE(the Institute of Electrical and Electronics Engineers, Inc.) 802.3aeによって定義されているレジスタと、XENPAK(10(X)G EtherNet(R) transceiver PAcKage)などの10Gbイーサネット(R)通信モジュールMSA(Multi Source Agreement)によって定義されているレジスタとを一元管理する通信モジュールに関する。

【0002】

【従来の技術】

近年、イーサネット(R)などのLAN(Local Area Network)が広く使用されているが、転送速度をさらに高速化した10Gbイーサネット(R)の開発が盛んに行なわれるようになってきている。

【0003】

従来のLX4 10Gbイーサネット(R)通信モジュールにおいて、IEEE 802.3aeによって定義されているレジスタは、物理層を制御するリタイマチップ(XAUI(10(X)G Attachment Unit Interface)リタイマ)によって

サポートされている。

【0004】

これに関連する技術文献として、以下に示す非特許文献1がある。この非特許文献1には、物理層内を複数の副層（PMA（Physical Media Attachment）、PCS（Physical Coding Sublayer）、XGXS（10(X)G eXtension Sublayer））に分割し、それぞれの目的に応じて符号化を行なう技術が記載されている。

【0005】

【非特許文献1】

入門ギガビットイーサネット（R）（ネットテクノロジーラボ著、技術評論社）

【0006】

【発明が解決しようとする課題】

しかし、上述したリタイマチップは、10Gbイーサネット（R）通信モジュールに必要とされるユーティリティ・バスであるMDIO（Medium Dependent Input/Output）インタフェースを有しないため、別途MDIOインタフェース用の周辺IC（Integrated Circuit）を設けなければならず、ICの実装面積が広くなると共に、コストが高くなるといった問題点があった。

【0007】

本発明は、上記問題点を解決するためになされたものであり、その目的は、ホストデバイスからのレジスタアクセスに対して、一元化したレジスタアクセス環境を実現した通信モジュールを提供することである。

【0008】

【課題を解決するための手段】

本発明のある局面に従えば、高速イーサネット（R）において用いられる通信モジュールであって、物理層を制御するためのリタイマと、通信モジュールの全体的な制御を行なうためのマイクロコンピュータとを含み、マイクロコンピュータは、リタイマによって値が更新されるレジスタのコピーを所定のタイミングで格納するための記憶手段と、ホストデバイスからの要求に応じて、記憶手段に格納されたレジスタのコピーをホストデバイスへ出力するための入出力手段とを含

む。

【0009】

本発明の別の局面に従えば、高速イーサネット（R）において用いられる通信モジュールであって、物理層を制御するためのリタイマと、通信モジュールの全体的な制御を行なうための第1および第2のマイクロコンピュータとを含み、第1のマイクロコンピュータは、リタイマによって値が更新されるレジスタのコピーを所定のタイミングで格納するための第1の記憶手段と、ホストデバイスからの要求に応じて、第1の記憶手段に格納されたレジスタのコピーをホストデバイスへ出力するための第1の入出力手段とを含み、第2のマイクロコンピュータは、10Gbイーサネット（R）通信モジュール・マルチ・ソース・アグリーメントによって定義されるレジスタの内容を格納するための第2の記憶手段と、ホストデバイスからの要求に応じて、第2の記憶手段に格納された内容をホストデバイスへ出力するための第2の入出力手段とを含む。

【0010】

【発明の実施の形態】

（第1の実施の形態）

図1は、本発明の第1の実施の形態における10Gbイーサネット（R）通信モジュール（以下、通信モジュールと呼ぶ。）を含んだ通信システムの概略構成を示すブロック図である。この通信システムは、通信モジュール12と、通信モジュール12を統括管理するMACレイヤ1とを含む。図1においては、通信モジュールが1つだけ記載されているが、通信システムには同様の構成を有する通信モジュールが複数含まれ、MACレイヤ1はこれらの通信モジュールを統括管理する。

【0011】

MACレイヤ1は、シリアルバス（MDIOバス）8を介して通信モジュール12を制御するMDIOホスト2を含む。

【0012】

通信モジュール12は、MACレイヤ1に接続される通信モジュール12の全体的な制御を行なうマイコン3と、通信モジュール12における通信の物理層を

制御する X A U I リタイマ 9 とを含む。マイコン 3 と X A U I リタイマ 9 とは、I²C (International Institute for Communications) バス 1 1 によって接続され、データの送受信が行なわれる。

【0013】

X A U I リタイマ 9 は、図示しない P M A、P C S および X G X S の機能ブロックを含む。これらの機能ブロックは、I E E E 8 0 2 . 3 a e によって定義されるレジスタを有しており、これらのレジスタをまとめて I E E E レジスタ 1 0 と呼ぶことにする。

【0014】

また、マイコン 3 は、M A C レイヤ 1 内の M D I O ホスト 2 に接続される M D I O インタフェース 4 と、S R A M (Static Random Access Memory) 5 と、フラッシュ R O M (Read Only Memory) 7 とを含む。S R A M 5 は、I E E E レジスタ 1 0 の内容と、X E N P A K によって定義されるレジスタ (以下、X E N P A K レジスタと呼ぶ。) の内容とを保持する I E E E / X E N P A K 仮想レジスタ 6 を含む。フラッシュ R O M 7 には、マイコン 3 によって実行されるプログラムや、I E E E レジスタおよび X E N P A K レジスタの初期値などが格納される。なお、S R A M 5 はランダムアクセスが可能な他の高速記憶媒体であってもよく、フラッシュ R O M 7 は通信モジュール 1 2 の電源がオフされてもデータを保持することができる他の不揮発性メモリであってもよい。

【0015】

図 2 は、本発明の第 1 の実施の形態における I E E E レジスタおよび X E N P A K レジスタの内容の一例を示す図である。図 2 においては、左から順に I E E E 8 0 2 . 3 a e および X E N P A K によって定義されているレジスタ、S R A M 5 に展開された I E E E / X E N P A K 仮想レジスタ 6、フラッシュ R O M、および I E E E 8 0 2 . 3 a e および X E N P A K によって定義される各レジスタのうち機能の制約からハードウェアで実現されたレジスタを示している。

【0016】

I E E E 8 0 2 . 3 a e によって定義されるレジスタは、デバイス 1 (P C S) のレジスタと、デバイス 3 (P M A) のレジスタと、デバイス 4 (X G X S)

のレジスタとを含む。たとえば、デバイス1のレジスタ1.1~1.7は、SRAM5のアドレス00101h~00107hにマッピングされ、フラッシュROM7のアドレスFC101h~FC107hにマッピングされる。

【0017】

XENPAKによって定義されるレジスタは、NVR (Non-Volatile Registers) と、LASI (Link Alarm Status Interrupt) レジスタと、DOM (Digital Optical Monitoring) レジスタと、Functionレジスタとを含む。たとえば、NVRの0x8001~0x8006は、SRAM5のアドレス00501h~00506hにマッピングされ、フラッシュROM7のアドレスFC501h~FC506hにマッピングされる。

【0018】

通信モジュール12の起動時において、マイコン3はフラッシュROM7からIEEEレジスタの初期値を読み出し、I²Cバス11を介してIEEEレジスタ10にロードする。また、通信モジュール12の動作時において、XAUIリタイマ9はIEEEレジスタ10の内容を更新するので、マイコン3は定期的または任意のタイミングでIEEEレジスタ10の内容をI²Cバス11を介して読み込み、IEEE/XENPAK仮想レジスタ6に展開する。

【0019】

また、マイコン3は、マイコン3に内蔵された図示しないADC (Analog to Digital Converter) やDAC (Digital to Analog Converter) などの周辺機能を制御して、XENPAKによって定められたDOM機能を実現し、その結果をIEEE/XENPAK仮想レジスタ6に格納する。同様に、マイコン3はプログラムを実行することによって、XENPAKによって定められたNVR機能、LASI機能などを実現し、その結果をIEEE/XENPAK仮想レジスタ6に格納する。

【0020】

また、MACレイヤ1内のMDIOホスト2から、MDIOインタフェース4を介してレジスタアクセス要求があった場合には、マイコン3はMDIOホスト2から指定されたデバイスID (1, 3, 4, 30/31) に応じてIEEE/

XENPAK 仮想レジスタ 6 の内容を読み出し、MDIO インタフェース 4 を介して MDIO ホスト 2 へ送信する。なお、デバイス ID 30/31 は、XENPAK によって定義されるレジスタを示している。

【0021】

MAC レイヤ 1 からの要求に応じてレジスタの内容を返す場合に、IEEE 802.3ae によって定義される MDIO インタフェース規格で定められた応答速度を実現するための構成が必要となる。本実施の形態においては、マイコン 3 が MAC レイヤ 1 からのレジスタアクセス要求に応じて IEEE/XENPAK 仮想レジスタ 6 の内容を読み出して MAC レイヤ 1 に返すので、ターンアラウンド時間内にレジスタの内容を MAC レイヤ 1 に返すことができる。

【0022】

また、マイコン 3 は、IEEE/XENPAK 仮想レジスタ 6 の内容を、定期的または任意のタイミングでフラッシュ ROM 7 の IEEE/XENPAK レジスタの初期値が格納される領域に書込む。

【0023】

以上説明したように、本実施の形態における通信モジュールによれば、IEEE/XENPAK 仮想レジスタ 6 に IEEE レジスタおよび XENPAK レジスタの内容を保持し、MAC レイヤ 1 からの要求に応じて IEEE/XENPAK 仮想レジスタ 6 の内容を MAC レイヤ 1 に返すようにしたので、MAC レイヤ 1 からのレジスタアクセスに対して一元化したレジスタアクセス環境を提供することが可能となった。

【0024】

また、従来ターンアラウンド時間に拘束されていたため専用の FPGA (Field Programmable Gate Array)、ASIC (Application Specific Integrated Circuit)、EEPROM (Electrically Erasable and Programmable Read Only Memory)、DOM 用コントローラなどを用いて通信モジュールを構成していたが、マイコン 3 を用いつつもターンアラウンド時間内にレジスタの内容を MAC レイヤ 1 に返すことができるようになったので、XAUI リタイマ 9 以外の構成をマイコン 3 によって実現することが可能となり、通信モジュール 12 に搭載さ

れるデバイスの実装面積およびコストを大幅に削減することが可能となった。

【0025】

また、LX4以外の10Gbイーサネット(R)通信モジュールにおいても、IEEE802.3aeによって定義されるレジスタおよびXENPAKなどの10Gbイーサネット(R)通信モジュールMSAによって定義されるレジスタは、物理層を制御するPHYチップによってサポートされるため、仕様変更などがあった場合には、PHYチップの設計変更が余儀なくされる。しかし、本実施の形態においてはマイコン3がIEEE/XENPAK仮想レジスタ6に各レジスタの内容を保持するようにしたので、IEEE/XENPAK仮想レジスタ6に格納されるレジスタの追加や、プログラムの変更などによって短時間で仕様変更に対応することが可能となった。

【0026】

さらには、マイコン3は、IEEE/XENPAK仮想レジスタ6の内容を、定期的または任意のタイミングでフラッシュROM7のIEEE/XENPAKレジスタの初期値が格納される領域に書込むようにしたので、各レジスタの初期データの更新やバックアップが容易に行なえるようになった。

【0027】

(第2の実施の形態)

図3は、本発明の第2の実施の形態における通信モジュールを含んだ通信システムの概略構成を示すブロック図である。図1に示す第1の実施の形態における通信モジュールと比較して、マイコン3が2つ設けられている点異なる。本実施の形態における2つのマイコンの参照符号を3Aおよび3Bとして説明する。

【0028】

マイコン3Aは、MACレイヤ1内のMDIOホスト2に接続されるMDIOインタフェース4Aと、SRAM5Aと、フラッシュROM7Aとを含む。SRAM5Aは、IEEEレジスタ10の内容を保持するIEEE仮想レジスタ6Aを含む。フラッシュROM7Aには、マイコン3Aによって実行されるプログラムや、IEEEレジスタの初期値などが格納される。なお、SRAM5Aはランダムアクセスが可能な他の高速記憶媒体であってもよく、フラッシュROM7A

は通信モジュール12の電源がオフされてもデータを保持することができる他の不揮発性メモリであってもよい。

【0029】

マイコン3Bは、プログラムを実行することによってXENPAKによって定義される機能を実現すると共に、MACレイヤ1内のMDIOホスト2に接続されるMDIOインタフェース4Bと、SRAM5Bと、フラッシュROM7Bを含む。SRAM5Bは、XENPAKによって定義されるレジスタの内容を保持するXENPAK仮想レジスタ6Bを含む。フラッシュROM7Bには、マイコン3Bによって実行されるプログラムや、XENPAKレジスタの初期値などが格納される。なお、SRAM5Bはランダムアクセスが可能な他の高速記憶媒体であってもよく、フラッシュROM7Bは通信モジュール12の電源がオフされてもデータを保持することができる他の不揮発性メモリであってもよい。

【0030】

図4は、本発明の第2の実施の形態におけるIEEEレジスタおよびXENPAKレジスタの内容の一例を示す図である。図4(a)および図4(b)においては、左から順にIEEE802.3aeまたはXENPAKによって定義されているレジスタと、SRAM5Aまたは5Bに展開されたIEEE仮想レジスタ6AまたはXENPAK仮想レジスタ6Bと、フラッシュROM7Aまたは7Bと、IEEE802.3aeまたはXENPAKによって定義される各レジスタのうち機能の制約からハードウェアで実現されたレジスタとを示している。

【0031】

図4(a)に示すように、IEEE802.3aeによって定義されるレジスタは、デバイス1(PCS)のレジスタと、デバイス3(PMA)のレジスタと、デバイス4(XGXS)のレジスタとを含む。たとえば、デバイス1のレジスタ1.1~1.7は、SRAM5のアドレス00101h~00107hにマッピングされ、フラッシュROM7のアドレスFC101h~FC107hにマッピングされる。

【0032】

図4(b)に示すように、XENPAKによって定義されるレジスタは、NV

Rと、LASIレジスタと、DOMレジスタと、Functionレジスタとを含む。たとえば、NVRの0x8001～0x8006は、SRAM5のアドレス00501h～00506hにマッピングされ、フラッシュROM7のアドレスFC501h～FC506hにマッピングされる。

【0033】

通信モジュール12の起動時において、マイコン3AはフラッシュROM7AからIEEEレジスタの初期値を読み出し、I²Cバス11を介してIEEEレジスタ10にロードする。また、通信モジュール12の動作時において、XAUIリタイマ9はIEEEレジスタ10の内容を更新するので、マイコン3Aは定期的または任意のタイミングでIEEEレジスタ10の内容をI²Cバス11を介して読み込み、IEEE仮想レジスタ6Aに展開する。

【0034】

マイコン3Bは、マイコン3Bに内蔵された図示しないADCやDACなどの周辺機能を制御して、XENPAKによって定められたDOM機能を実現し、その結果をXENPAK仮想レジスタ6Bに格納する。同様に、マイコン3Bはプログラムを実行することによって、XENPAKによって定められたNVR機能、LASI機能などを実現し、その結果をXENPAK仮想レジスタ6Bに格納する。

【0035】

また、MACレイヤ1内のMDIOホスト2から、MDIOインタフェース4を介してレジスタアクセス要求があった場合には、MDIOホスト2から指定されたデバイスID(1, 3, 4, 30/31)に応じて、マイコン3Aまたは3BがIEEE仮想レジスタ6AまたはXENPAK仮想レジスタ6Bの内容を読み出し、MDIOインタフェース4Aまたは4Bを介してMDIOホスト2へ送信する。

【0036】

また、マイコン3Aおよび3Bは、IEEE仮想レジスタ6AおよびXENPAK仮想レジスタ6Bの内容を、定期的または任意のタイミングでフラッシュROM7Aまたは7BのIEEEレジスタまたはXENPAKレジスタの初期値が

格納される領域に書込む。

【0037】

以上説明したように、本実施の形態における通信モジュールによれば、第1の実施の形態において説明した効果に加えて、マイコン3Aおよび3BがそれぞれIEEE仮想レジスタ6AおよびXENPAK仮想レジスタ6Bの内容を管理するようにしたので、それぞれの処理負担を軽減することができ、通信モジュールにおける監視、制御、管理などをより緻密に行なうことが可能となった。

【0038】

今回開示された実施の形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0039】

【発明の効果】

本発明のある局面によれば、マイクロコンピュータ内の記憶手段が、リタイマによって値が更新されるレジスタのコピーを所定のタイミングで格納するので、マイクロコンピュータはレジスタの内容を一元管理することができ、ホストデバイスからの要求に対してレジスタの値を高速に送信することが可能となった。

【0040】

本発明の別の局面によれば、第1のマイクロコンピュータ内の第1の記憶手段および第2のマイクロコンピュータ内の第2の記憶手段がそれぞれ、リタイマによって値が更新されるレジスタのコピーおよび10Gbイーサネット(R)通信モジュールMulti Source Agreementによって定義されるレジスタの内容を格納するので、マイクロコンピュータはレジスタの内容を一元管理することができ、ホストデバイスからの要求に対してレジスタの値を高速に送信することが可能になると共に、第1のマイクロコンピュータおよび第2のマイクロコンピュータの処理負担を軽減することが可能となった。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態における通信モジュールを含んだ通信

システムの概略構成を示すブロック図である。

【図 2】 本発明の第 1 の実施の形態における IEEE レジスタおよび XENPAK レジスタの内容の一例を示す図である。

【図 3】 本発明の第 2 の実施の形態における通信モジュールを含んだ通信システムの概略構成を示すブロック図である。

【図 4】 本発明の第 2 の実施の形態における IEEE レジスタおよび XENPAK レジスタの内容の一例を示す図である。

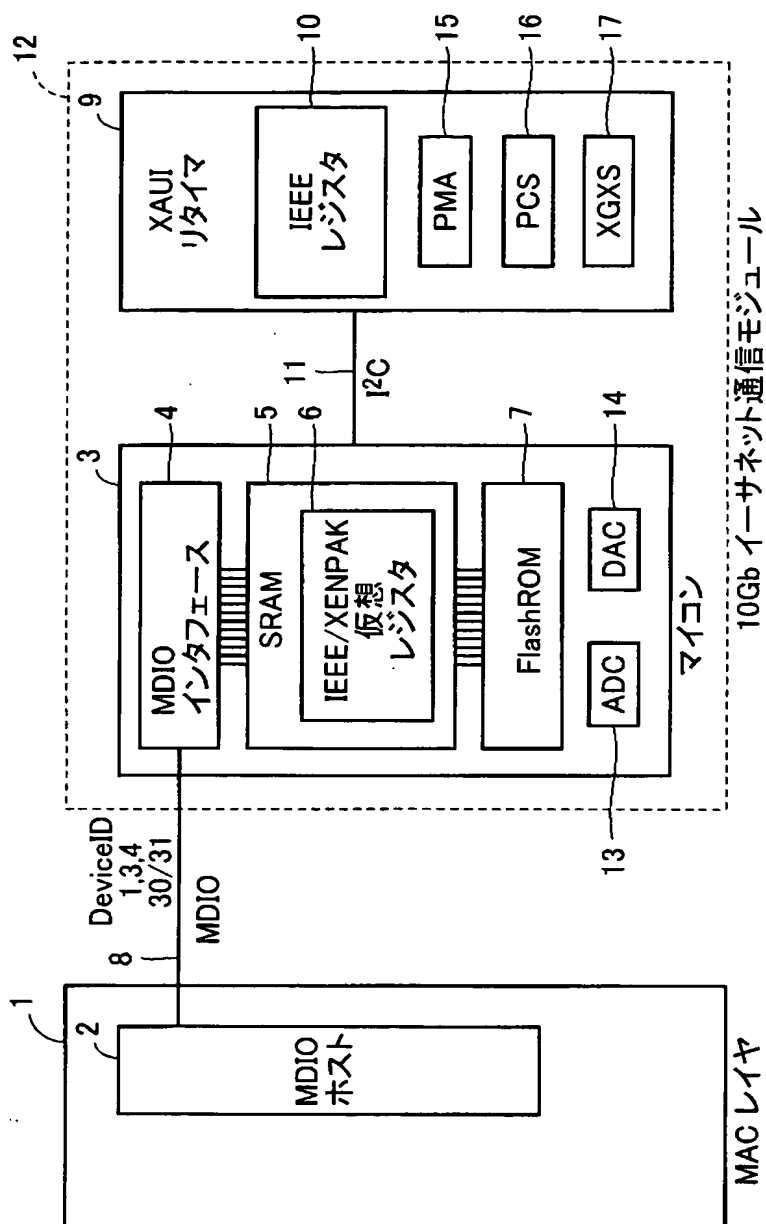
【符号の説明】

1 MAC レイヤ、2 MDIO ホスト、3 マイコン、4, 4A, 4B MDIO インタフェース、5, 5A, 5B SRAM、6 IEEE/XENPAK 仮想レジスタ、6A IEEE 仮想レジスタ、6B XENPAK 仮想レジスタ、7, 7A, 7B フラッシュ ROM、8 MDIO バス、9 XAUI リタイマ、10 IEEE レジスタ、11 I²C バス、12 通信モジュール。

【書類名】

図面

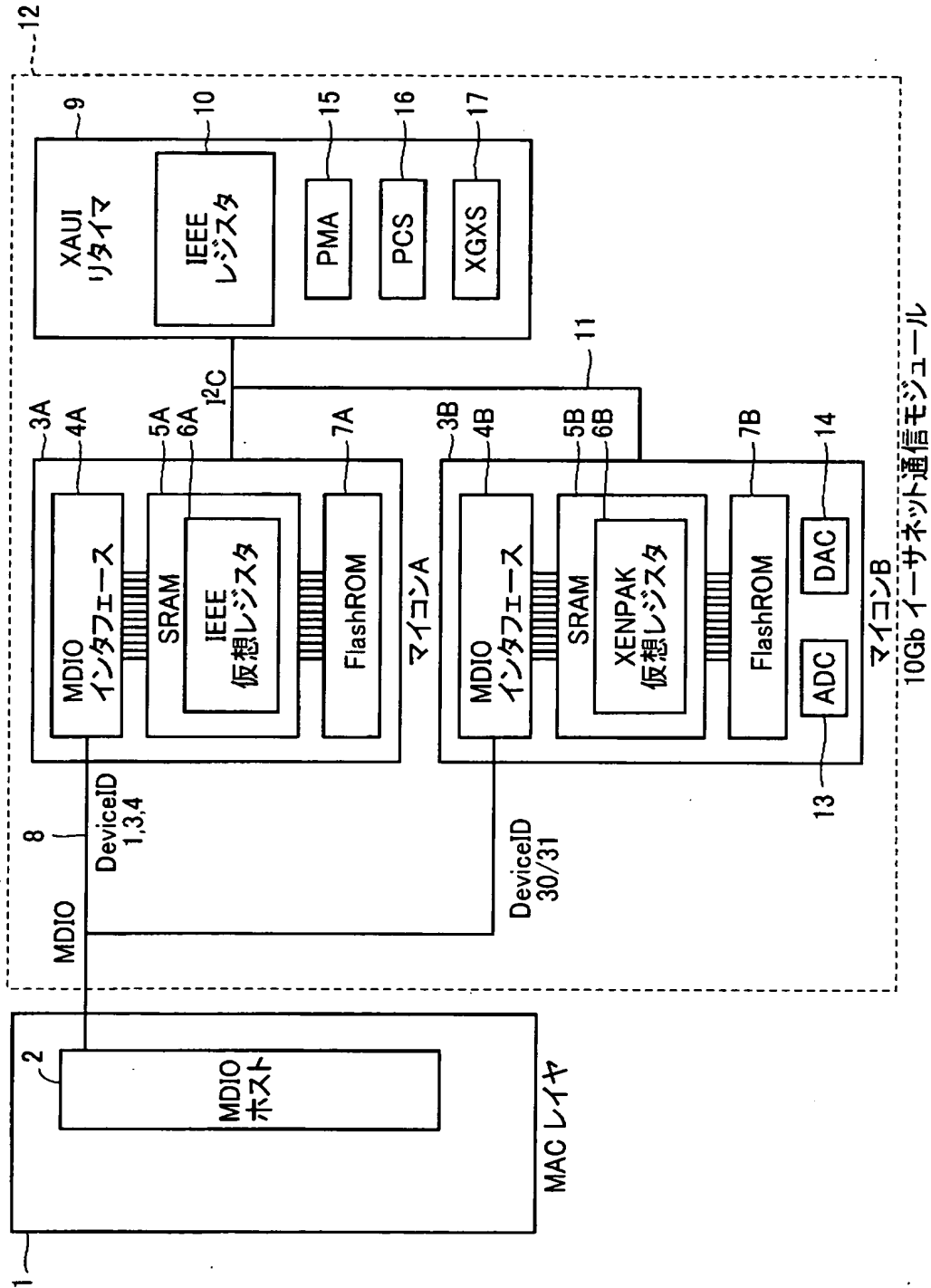
【図 1】



【図 2】

			SRAM	FlashROM	Internal Register
IEEE802.3ae	Dev1	1.0	-	FC100h	00200h
		1.1 to 1.7	00101h to 00107h	FC101h to FC107h	-
		1.8	-	FC108h	00201h
		1.9 to 1.15	00109h to 00110h	FC109h to FC110h	-
	Dev3	3.0	-	FC300h	00202h
		3.1	-	FC301h	00203h
		3.2 to 3.7	00302h to 00307h	FC302h to FC307h	-
		3.8	-	FC308h	00204h
		3.9 to 3.43	00309h to 0032Bh	FC309h to FC32Bh	-
		4.0	-	FC400h	00205h
	Dev4	4.1	-	FC401h	00206h
		4.2 to 4.7	00402h to 00407h	FC402h to FC407h	-
		4.8	-	-	00207h
		4.9 to 4.25	00409h to 00419h	FC409h to FC419h	-
		0x8000	-	FC500h	00208h
		0x8001 to 0x8006	00501h to 00506h	FC501h to FC506h	-
XENPAK	NVR	0x8007 to 0x807D	00507h to 0057Dh	FC507h to FC57Dh	-
		0x807F to 0x80AD	0057Fh to 005ADh	FC57Fh to FC5ADh	-
		0x80AF to 0x87FF	005AFh to 00CFFh	FC5AFh to FCCFFh	-
		0x8800 to 0x880F	00F20h to 00F2Fh	FCF20h to FCF2Fh	-
		0x8810 to 0x8FFF	-	-	-
		0x9000 to 0x9002	00F10h to 00F15h	FCF10h to FCF15h	-
	LASI	0x9003 to 0x9005	-	FCF16h to FCF1Bh	00208h to 0020Bh
		0x9006 to 0x9007	00F1Ch to 00F1Fh	FCF1Ch to FCF1Fh	-
		0x9008 to 0x9FFF	-	-	-
	DOM	0xA000 to 0xA0FF	00D00h to 00DEFh	FCD00h to FCDEFh	-
		0xA100	-	FCF00h	0020Ch
		0xA101 to 0xA10F	00F01h to 00F0Fh	FCF01h to FCF0Fh	-
		0xA110 to 0xAFFF	-	-	-
	Func	0xB000 to 0xB07F	00F10h to 00F8Fh	FCF10h to FCF8Fh	-
		0xB080 to 0xB7FF	-	-	-
		0xB800 to 0xB80F	00F90h to 00F9Fh	FCF90h to FCF9Fh	-
		0xB810 to 0xBFFF	-	-	-

【図 3】



【図 4】

			SRAM	FlashROM	Internal Register
IEEE802.3ae	Dev1	1.0	-	FC100h	00200h
		1.1 to 1.7	00101h to 00107h	FC101h to FC107h	-
		1.8	-	FC108h	-
		1.9 to 1.15	00109h to 00110h	FC109h to FC110h	00201h
		3.0	-	FC300h	-
		3.1	-	FC301h	00202h
	Dev3	3.2 to 3.7	00302h to 00307h	FC302h to FC307h	00203h
		3.8	-	FC308h	-
		3.9 to 3.43	00309h to 0032Bh	FC309h to FC32Bh	00204h
		4.0	-	FC400h	-
		4.1	-	FC401h	00205h
		4.2 to 4.7	00402h to 00407h	FC402h to FC407h	00206h
	Dev4	4.8	-	-	-
		4.9 to 4.25	00409h to 00419h	FC409h to FC419h	00207h
					-
					-
					-
XENPAK	NVR	0x8000 to 0x8001	- to 00501h	FC500h to FC501h	00208h
		0x8006 to 0x8007	00506h to 00507h	FC506h to FC507h	-
		0x807D to 0x807F	0057Dh to 0057Fh	FC57Dh to FC57Fh	-
		0x80AD to 0x80AF	005ADh to 005AFh	FC5ADh to FC5AFh	-
		0x87EF to 0x8800	00CFFh to 00F20h	FCCEFh to FCF20h	-
		0x880F to 0x8810	00F2Fh to -	FCF2Fh to -	-
		0x8FFF to 0x9000	- to 00F10h	- to FCF10h	-
		0x9002 to 0x9003	00F15h to -	FCF15h to FCF16h	-
		0x9005 to 0x9006	- to 00F1Ch	FCF1Bh to FCF1Ch	00208h to 0020Bh
		0x9007 to 0x9008	00F1Fh to -	FCF1Fh to -	-
	LASI	0x9008 to 0x9009	- to -	- to -	-
		0x900A to 0x900B	- to -	- to -	-
		0x900C to 0x900D	- to -	- to -	-
		0x900E to 0x900F	- to -	- to -	-
		0x9010 to 0x9011	- to -	- to -	-
		0x9012 to 0x9013	- to -	- to -	-
	DOM	0xA000 to 0xA001	00D00h to 00D01h	FCD00h to FCD01h	-
		0xA006 to 0xA007	00D06h to 00D07h	FCD06h to FCD07h	-
		0xA100 to 0xA101	- to 00F01h	FCE00h to FCF01h	0020Ch
		0xA10F to 0xA110	00F0Fh to -	FCF0Fh to -	-
		0xA110 to 0xA111	- to -	- to -	-
		0xA112 to 0xA113	- to -	- to -	-
	Func	0xB000 to 0xB001	00F10h to 00F11h	FCF10h to FCF11h	-
		0xB07E to 0xB07F	00F8Eh to 00F8Fh	FCF8Eh to FCF8Fh	-
		0xB080 to 0xB081	- to -	- to -	-
		0xB7FF to 0xB800	- to 00F90h	- to FCF90h	-
		0xB80F to 0xB810	00F9Fh to -	FCF9Fh to -	-
		0xB810 to 0xB811	- to -	- to -	-
		0xB812 to 0xB813	- to -	- to -	-
		0xB814 to 0xB815	- to -	- to -	-

【書類名】 要約書

【要約】

【課題】 ホストデバイスからのレジスタアクセスに対して、一元化したレジスタアクセス環境を実現した通信モジュールを提供すること。

【解決手段】 マイコン3は、XAUIリタイマ9によって値が更新されるIEEEレジスタ10のコピーを所定のタイミングIEEE/XENPAK仮想レジスタ6に格納する。そして、MACレイヤ1からの要求に応じて、マイコン3はMDIOインタフェース4を介してIEEE/XENPAK仮想レジスタ6に格納されたIEEEレジスタのコピーをMACレイヤ1へ出力する。したがって、マイコン3はレジスタの内容を一元管理することができ、MACレイヤ1からの要求に対してレジスタの値を高速に送信することが可能となった。

【選択図】 図1



特願 2 0 0 3 - 0 9 0 2 4 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 0 1 3]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名

三菱電機株式会社